

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-020445

(43)Date of publication of application : 21.01.2000

(51)Int.Cl.

G06F 13/12

(21)Application number : 10-184241

(71)Applicant : HITACHI LTD

(22)Date of filing : 30.06.1998

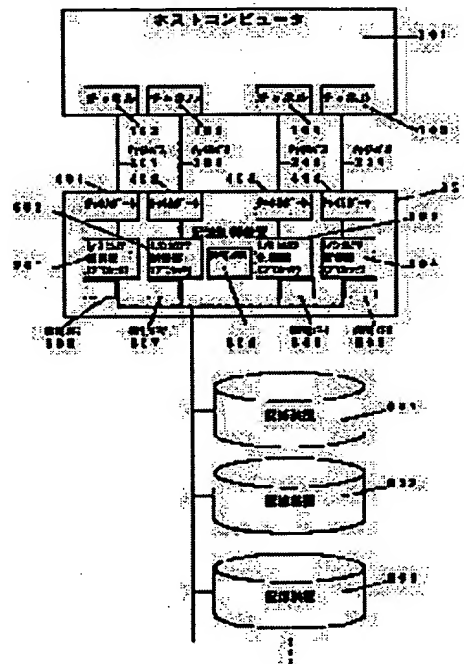
(72)Inventor : IDO KENJI
TAKEUCHI HISAHARU
YOKOHATA SHIZUO

(54) COMPUTER SYSTEM PROVIDED WITH MEMORY CONTROL UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the useless processing of a channel and memory control unit(MCU) by reducing the cancel of a reconnection request to channel paths composing of a path group.

SOLUTION: This computer system is composed of an MCU 301 connected with a host computer 101 through plural channel paths 201-204 and a storage device 601 for storing input/output data. In this case, the MCU is provided with plural processors 501-504 and a shared memory 505, reconnection request managing information is held in the shared memory, the priority of channel reconnection request is determined among the processors based on the reconnection request managing information, only the processor, to which priority is applied, can preferentially perform the channel reconnection request and the processor, to which priority is not applied, does not perform the channel reconnection request.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-20445

(P2000-20445A)

(43) 公開日 平成12年1月21日 (2000.1.21)

(51) Int.Cl.

G 0 6 F 13/12

識別記号

3 4 0

F I

G 0 6 F 13/12

テマコード(参考)

3 4 0 D 5 B 0 1 4

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号

特願平10-184241

(22) 出願日

平成10年6月30日 (1998.6.30)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 井戸 健嗣

神奈川県小田原市国府津2880番地 株式会

社日立製作所ストレージシステム事業部内

(72) 発明者 竹内 久治

神奈川県小田原市国府津2880番地 株式会

社日立製作所ストレージシステム事業部内

(74) 代理人 100078134

弁理士 武 顯次郎

最終頁に続く

(54) 【発明の名称】 記憶制御装置を備えたコンピュータシステム

(57) 【要約】

【課題】 バスグループを組んでいるチャンネルバスへの再接続要求の撤回を減らし、チャンネル及び記憶制御装置の無駄な処理を抑えること。

【解決手段】 ホストコンピュータ101と複数のチャンネルバス201～204で接続された記憶制御装置301と入出力データを記憶する記憶デバイス601とからなるコンピュータシステムにおいて、記憶制御装置は、複数のプロセッサ501～504と共有メモリ505とを備え、共有メモリには、記憶デバイス単位に再接続要求管理情報を保持させ、再接続要求管理情報に基づいてプロセッサ間でチャンネル再接続要求の優先権を決定し、優先権を与えられたプロセッサのみが優先的にチャンネル再接続要求を行えるようにされ、優先権を与えられないプロセッサはチャンネル再接続要求を行わないこと。

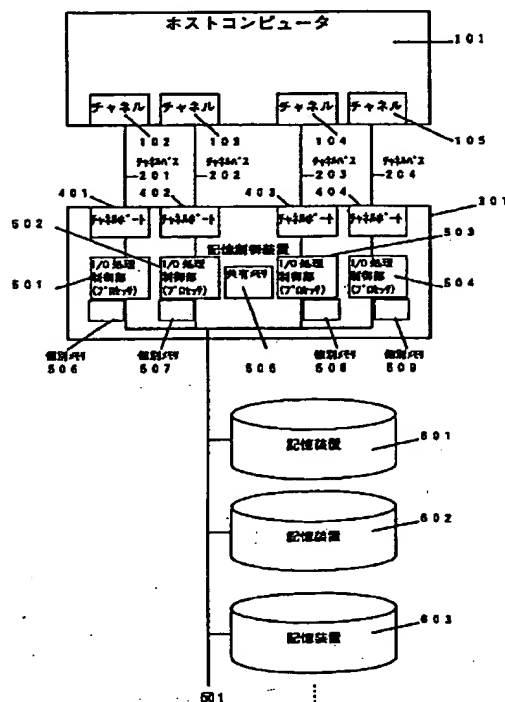


図1

【特許請求の範囲】

【請求項 1】 ホストコンピュータと、前記ホストコンピュータと複数のチャンネルバスで接続された記憶制御装置と、前記記憶制御装置に接続されて前記ホストコンピュータの入出力データを記憶する記憶デバイスと、から構成されるコンピュータシステムにおいて、前記記憶制御装置は、前記ホストコンピュータの複数チャンネルの中で、チャンネル再接続要求を行なう少なくとも 1 つのバスを選択し、前記選択したバスのみチャンネル再接続要求を送信し、残りのチャンネルに対してはチャンネル再接続要求を行なわないようにする機能を有し、前記複数チャンネルに対するトータルレスポンスを向上させることを特徴とする記憶制御装置を備えたコンピュータシステム。

【請求項 2】 請求項 1 に記載の記憶制御装置を備えたコンピュータシステムにおいて、前記チャンネル再接続要求に対して、前記記憶制御装置内部で定めた所定時間内にホストコンピュータの当該チャンネルからの応答が無い場合には、残りの全てのチャンネルに対してチャンネル再接続要求を行うことを特徴とする記憶制御装置を備えたコンピュータシステム。

【請求項 3】 ホストコンピュータと、前記ホストコンピュータと複数のチャンネルバスで接続された記憶制御装置と、前記記憶制御装置に接続されて前記ホストコンピュータの入出力データを記憶する記憶デバイスと、から構成されるコンピュータシステムにおいて、前記記憶制御装置は、複数のプロセッサと前記プロセッサ間で共有する共有メモリとを備え、前記共有メモリには、記憶デバイス単位に再接続要求管理情報を保持させ、前記再接続要求管理情報に基づいてプロセッサ間でチャンネル再接続要求の優先権を決定し、前記優先権を与えられたプロセッサのみが優先的にチャンネル再接続要求を行えるようにされ、前記優先権を与えられないプロセッサはチャンネル再接続要求を行わないことを特徴とする記憶制御装置を備えたコンピュータシステム。

【請求項 4】 請求項 3 に記載の記憶制御装置を備えたコンピュータシステムにおいて、前記記憶制御装置内部で定めた一定時間が経過しても、前記ホストコンピュータのチャンネルから再接続されない場合、前記優先権を与えられたプロセッサは優先権を解放されてチャンネル再接続要求を取りやめ、残りのプロセッサが新たに優先権を取得し、前記取得されたプロセッサのみが優先的にチャンネル再接続要求を行なうようにされることを特徴とする記憶制御装置を備えたコンピュータシステム。

【請求項 5】 請求項 3 に記載の記憶制御装置を備えたコンピュータシステムにおいて、前記記憶制御装置内部で定めた一定時間が経過しても、前記ホストコンピュータのチャンネルから再接続されない

場合、前記優先権を与えられたプロセッサはそのままチャンネル再接続要求を行い続け、新たに優先権を得たプロセッサが更にチャンネル再接続要求を行なうことを特徴とする記憶制御装置を備えたコンピュータシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コンピュータシステムに関し、特に、複数チャンネルバスを有するホストコンピュータと、該ホストコンピュータとデータの入出力を行う記憶制御装置間のチャンネル再接続方式技術を用いたコンピュータシステムに関する。

【0002】

【従来の技術】近年の計算機システムでは、ホストコンピュータからの I/O 処理に対して、記憶制御装置は、データ転送開始までの間、ホストコンピュータとの接続を切断し、ホストコンピュータから別の I/O 処理を受け付ける。これによって、記憶制御装置は、I/O 処理を多重で受け付ける事ができる。しかし、記憶制御装置から当該チャンネルへ再接続要求を行なおうとしても、多重処理のために別の I/O 処理を行なっていて、再接続要求を行なえない事がある。この場合には、当該処理は沈み込み、システム全体としての性能は悪化する。

【0003】このような問題を解決する手段として、例えば特開昭 54-146941 号公報で開示される技術では、ホストコンピュータとの接続バスの本数を複数本にし、これらをバスグループとすることで、ホストコンピュータから起動を受け付けたチャンネルバスとは別のチャンネルバスへデータ転送開始のためのチャンネル再接続を行なう事を可能としている。これにより、当該バスグループのうち任意の最も起動の早いチャンネルと再接続を行い、I/O 処理を再開することで、チャンネルに対する再接続待ち時間を減らし、システム全体としてのスループット向上が期待できる。

【0004】しかし、前記公報で開示される技術は、あくまでもホストコンピュータから見たスループットの向上に主眼を置いている。記憶制御装置は、同一 I/O に対する再接続要求を、初期起動を受け付けたチャンネルバスを含めた、チャンネルバスグループの全てのチャンネルバスに対して一斉に行なうことによって最もレスポンスの早いチャンネルと再接続を行い I/O 処理を再開するが、反面、実際に再接続を行なうチャンネルバス以外のチャンネルバスは、無駄な再接続要求になってしまう。この時、再接続要求の撤回となり、チャンネル、記憶制御装置共に、無駄な処理を行なうことになり、その分システム全体としてのレスポンスが低下する要因となる。

【0005】記憶デバイスを多重に処理している場合、ある記憶デバイスの再接続要求を一斉に行なうことにより、記憶制御装置内のプロセッサのうち、実際にチャンネルと再接続されたバスを扱うプロセッサ以外のプロセッサは、チャンネル再接続要求撤回の処理を行なっており、

同時期に再接続要求を必要とする他の記憶デバイスがあっても、当該再接続要求を行なえるのは、前記チャンネル再接続要求撤回処理を終えてからとなる。

【0006】また、反対にチャンネルが他の記憶デバイスに初期起動を発行しようとしている時に、記憶制御装置から再接続要求が全バスに対して発行された場合、当該チャンネルは再接続要求撤回の処理が終了するまでの間、当該初期起動を発行出来ない。

【0007】

【発明が解決しようとする課題】前記従来技術では、ホストコンピュータと記憶制御装置の間に、複数本のチャンネルバスを接続し、これらをバスグループとすることで、記憶デバイスを多重で処理している時も、バスグループのうちの任意のバスと再接続を行なって、I/O処理を再開することができる。このようにして、システム全体としてのスループットを向上させている。

【0008】しかし、チャンネルが、一定数以上の記憶装置と多重処理を行なうようになると、記憶制御装置が、ある記憶デバイスに対するチャンネル再接続要求を行なった直後に、別の記憶デバイスのチャンネル再接続要求が可能になる場合が生じてくる。この場合、チャンネルに優位性を持たせるために、全チャンネルバスに対して、チャンネル再接続要求を行なっていると、実際に再接続を行なったチャンネルバス以外のチャンネルバスでは、再接続要求の撤回処理が行なわれ、その間は、前記の別のチャンネル再接続要求は待たされることになる。

【0009】また、反対にチャンネルが他の記憶デバイスに初期起動を発行しようとしている時に、記憶制御装置からチャンネル再接続要求が全バスから発行された場合も同様に、チャンネルは、チャンネル再接続要求撤回の処理が終了するまでの間、当該初期起動を発行出来ず待たされることになる。

【0010】本発明の目的は、複数のチャンネルバスを有する記憶サブシステムにおける、記憶制御装置からチャンネルに対するチャンネル再接続要求に対して、チャンネル再接続要求の撤回を減らすことで、前記のような待ち状態を減らし、システム全体としてのレスポンスの向上を図ることである。

【0011】

【課題を解決するための手段】前記課題を解決するために、本発明は主として次のような構成を採用する。

【0012】ホストコンピュータと、前記ホストコンピュータと複数のチャンネルバスで接続された記憶制御装置と、前記記憶制御装置に接続されて前記ホストコンピュータの入出力データを記憶する記憶デバイスと、から構成されるコンピュータシステムにおいて、前記記憶制御装置は、前記ホストコンピュータの複数チャンネルの中で、チャンネル再接続要求を行なう少なくとも1つのバスを選択し、前記選択したバスのみチャンネル再接続要求を送信し、残りのチャンネルに対してはチャンネル再接続要

求を行なわないようにする機能を有し、前記複数チャンネルに対するトータルレスポンスを向上させる記憶制御装置を備えたコンピュータシステム。

【0013】また、ホストコンピュータと、前記ホストコンピュータと複数のチャンネルバスで接続された記憶制御装置と、前記記憶制御装置に接続されて前記ホストコンピュータの入出力データを記憶する記憶デバイスと、から構成されるコンピュータシステムにおいて、前記記憶制御装置は、複数のプロセッサと前記プロセッサ間で共有する共有メモリとを備え、前記共有メモリには、記憶デバイス単位に再接続要求管理情報を保持させ、前記再接続要求管理情報に基づいてプロセッサ間でチャンネル再接続要求の優先権を決定し、前記優先権を与えられたプロセッサのみが優先的にチャンネル再接続要求を行えるようにされ、前記優先権を与えられないプロセッサはチャンネル再接続要求を行わないようにした記憶制御装置を備えたコンピュータシステム。

【0014】

【発明の実施の形態】本発明の実施形態について、図1～図8を用いて以下詳細に説明をする。図1は、本発明におけるコンピュータシステムの一実施形態を示した図である。図1のコンピュータシステムにおいて、記憶制御装置301は、ホストコンピュータ101のチャンネル102、チャンネル103、チャンネル104、チャンネル105からそれぞれ出るチャンネルバス201～204を介してホストコンピュータ101に接続され、複数記憶デバイス601、602、603…に対して要求されるI/O処理を制御する。

【0015】記憶制御装置301は、チャンネルポート401、402、403、404、及びI/O処理制御部（プロセッサ）501、502、503、504、及びプロセッサ毎の個別メモリ506～509、及びプロセッサ間共有メモリ505、キャッシュメモリ（不図示）、を備えている。I/O処理制御部501～504は、それぞれ独立に複数記憶デバイス601…に対してデータの入出力を行う。

【0016】共有メモリ505には、チャンネル102～105へチャンネル再接続要求を制御する為の再接続要求プロセッサ情報テーブル512、再接続要求優先プロセッサ情報テーブル513や優先権取得時刻テーブル514が格納されており（図2参照）、プロセッサ501～504は、それぞれ共有メモリ505内の再接続要求管理情報510に従ってチャンネル再接続要求を行う。

【0017】図1の構成において、チャンネルバス201～204はバスグループを組んでおり、記憶制御装置301は、あるチャンネルからのI/O処理を一旦切り離れた後、別のチャンネルバスに対してチャンネル再接続要求を行い、I/O処理を続行することができる。

【0018】例えば、チャンネル102から記憶デバイス601とのデータ転送のためのコマンドが、チャンネルポ

ート401を介して、プロセッサ501に発行され、データ転送の準備ができていない場合（一例として、キャッシュメモリに転送すべきデータが存在しない場合）、プロセッサ501は、チャンネル102との接続を一旦切り離す。その後、データ転送の準備が完了したところで、別のプロセッサ504がチャンネルポート404経由でチャンネル105へ再接続要求を行なう、I/O処理の続きを行なうことができる。

【0019】通常は、記憶制御装置301内でプロセッサ501～504は独立に動作しているため、チャンネルへの再接続要求可能な時には、各プロセッサがそれぞれチャンネルポート401～404を経由して、一斉にチャンネル再接続要求を行ない、その結果、記憶デバイス601を確保したプロセッサと接続しているチャンネルのみがI/O処理の続きを行なうことができ、その他のチャンネルは、記憶制御装置301内のプロセッサに再接続要求を撤回されてしまう。再接続要求の撤回により、チャンネルと記憶制御装置301内のプロセッサの動作に無駄が生じ、その分他の記憶デバイスのデータ転送の為にチャンネル再接続要求や、チャンネルからの別の記憶デバイスに対する初期起動が遅れ、記憶サブシステム全体としての、レスポンスの低下につながる。

【0020】図2は、記憶制御装置301内の共有メモリ505上で、記憶デバイス単位に管理される再接続要求管理情報テーブル510である。再接続要求管理情報テーブル510では、再接続要求をプロセッサ間で排他的に行なうための、再接続要求プロセッサ情報512、再接続要求優先プロセッサ情報513が管理される。すなわち、512は再接続を要求するプロセッサを表し、513は、優先プロセッサ数が1の場合、1個の優先プロセッサが表わされ、後述するが再接続要求に対するチャンネル応答が遅い場合には当該優先プロセッサはクリアされて次の優先プロセッサが表わされる。

【0021】また、最初にあるプロセッサが優先権を取得した時の時刻を格納する初期優先権取得時刻516（当該I/O処理中は前記時刻は変わらずに保持される）、一時的に優先権を取得した時の時刻を格納する優先権取得時刻テーブル514（前記時刻は優先プロセッサが変わる毎に更新される）を持つ。更に、チャンネル再接続要求を行なえるプロセッサ数Nを決める優先プロセッサ数515を持つ。

【0022】図3は、プロセッサ501～504単位に持つ個別メモリ506～509上で管理される再接続要求情報520である。この再接続要求情報テーブル520は、再接続するチャンネルバスルート523と、記憶デバイス番号522と、共有メモリ505上の再接続要求優先プロセッサ情報513（図2参照）で自プロセッサが優先権を取得したかどうかを記憶する為の優先情報521と、を持つ。

【0023】図4は、初期起動を受け付けた時に、チャ

ネルと一旦接続を切り離すかどうかの判断と、それに応じた処理のフローを示した図、図5は記憶デバイスの準備が完了し、チャンネルへ再接続要求を行なう時のフローを示した図、図6はチャンネルから再接続され、再接続要求管理情報を後始末するフローを示した図である。

【0024】図4でまず、チャンネルからの初期起動で記憶デバイスを確保し（ステップ701）、コマンドを受け付ける（ステップ702）。一旦チャンネルとの切り離しが必要な時（ステップ703）は、切り離しを行ない（ステップ704）、前回のI/O処理の再接続管理情報が残っている場合も考えられるので、再接続要求管理情報（再接続要求優先プロセッサ情報、再再接続要求プロセッサ情報、優先権取得時刻、優先プロセッサ数）のクリアをする（ステップ705）。切り離しの必要が無い場合は、そのままコマンドの処理に進む（ステップ707）。その後デバイスを解放する（ステップ706）。

【0025】図5は、図4でチャンネルと切り離しを行なった場合に、その後再接続要求処理の準備完了チェックをする処理を示している。再接続準備完了の場合（ステップ710）、まず再接続要求管理情報を取得し（ステップ711）、優先プロセッサ有無のチェックをする（ステップ712）。優先プロセッサが決定していなければ（優先プロセッサの決定は、ホストコンピュータが介在せず、記憶制御装置301自体が複数プロセッサからの応答によって決定する）、優先権の取得を行なう（ステップ713）。自プロセッサが優先プロセッサになった場合（ステップ714）、チャンネルに対して再接続要求を行なっているプロセッサがいなければ（ステップ715）、共有メモリ上の初期優先取得時刻 T_p と優先権取得時刻 T_s をセットし（ステップ716）、チャンネルに対して再接続要求を行なう（ステップ717）。

【0026】既に優先プロセッサが決定している場合は、そのプロセッサが自プロセッサかどうかを判断し（ステップ718）、自プロセッサであれば、現在時刻 T_n と優先権取得時刻 T_s から、まず優先権取得時間 T （ $=T_n - T_s$ ）を求め、これをチェックする（ステップ719）。時間 T が、 $T > T_0$ （第一の待ち時間 T_0 ）である時は、自プロセッサからの再接続要求に対するチャンネルの応答が遅いと判断し、優先プロセッサ情報、及び自プロセッサの優先権取得時刻 T_s を解除（クリア）し（ステップ720）、他のプロセッサに通知（ブロードキャスト）する（ステップ721）。第一の待ち時間 T_0 は適宜に設定されるものである。

【0027】ブロードキャスト511により他のプロセッサは図5のステップ713により優先権取得競争を行い、他のプロセッサのうちの一つが新たに優先プロセッサになる。この時、再接続要求プロセッサ情報はそのままにしておき、優先プロセッサが出していた再接続要求はそのままにしておくことで、直後に当該バスに対して

チャンネルから再起動が発行されても、受け付けることができるようにする。すなわち、第一の待ち時間内にチャンネルからの応答が無いチャンネルへのチャンネル再接続要求はそのままで、第2のバスへもチャンネル再接続要求を行うということを繰り返す。

【0028】また図7のように、チャンネル再接続要求をクリアし（ステップ727）、再接続要求プロセッサ情報（512）、再接続要求情報（520）を解除し、新たな優先プロセッサのみが、チャンネル再接続要求を行なっても良い。

【0029】また処理を速める為に、ステップ718の自プロセッサが優先プロセッサかどうかを判定する時は、図3の個別のローカルメモリ506～509上で管理される再接続要求情報520の優先情報521から判断してもよい。

【0030】自プロセッサが優先プロセッサでない時には、初期優先取得時間 T ($T=T_R-T_P$) をチェックする（ステップ723）。時刻 T が $T>(第二の待ち時間T_1: T_1>T_0)$ である時は、チャンネルからの再起動が遅く、当該記憶デバイスは沈み込み始めていると判断し、優先プロセッサ情報を全プロセッサとし（ステップ724）、ブロードキャストにより全プロセッサに通知を行なう（ステップ725）。これにより、自プロセッサを含め、全てのプロセッサでチャンネル再接続要求を行い、最も応答の早いチャンネルからの再起動を受け付ける。この時はチャンネルバスグループに従った再接続要求であり、チャンネルからの再起動により該当する記憶デバイスを確保できたプロセッサ以外の、他のプロセッサに対する再起動は再接続要求撤回となる。

【0031】途中で優先プロセッサを変更する処理は、救済を意識した処理である。救済までの時間は、例えば最初に優先プロセッサとなったプロセッサの再接続要求に対して、チャンネルがビジーでないときのチャンネル応答時間の平均値を T_r とすると、 $T_0=(T_r+\alpha)$ となるように T_0 を調節する。また優先プロセッサを全プロセッサとする時間 T_1 は、例えば、 $T_1=T_0 \times \text{プロセッサ数}$ となるように T_1 を調節する。

【0032】その後、図6でチャンネルからの再接続処理を開始し、再接続可能なデバイスが存在すれば（ステップ731）、デバイスの確保に成功したところで（ステップ732）、再接続要求管理情報510と再接続要求情報520の取得を行い、再接続要求優先プロセッサ情報513、再接続要求プロセッサ情報512、優先権取得時刻514、初期優先取得時刻516と再接続要求情報520をそれぞれクリアし（ステップ733）、コマンドの受け付け等のI/O処理を行なう（ステップ734）。再起動可能デバイスが無い場合には、再接続要求の撤回処理を行ない（ステップ736）、再接続要求管理情報510と再接続要求情報520のクリアをする。

【0033】また、図5の代わりに、図3において、記

憶制御装置内で優先プロセッサ数N515を定義しておき、図8のように、優先プロセッサ数分のプロセッサが優先権を取得し728、他のプロセッサよりも優先的に、チャンネル再接続要求を行なう方法もある。

【0034】以上説明したように、本発明の実施形態は、複数のチャンネルバスを一つのバスグループとしてI/O処理を行なうシステムにおいて、バスグループとしての特性を生かしながら、チャンネル再接続要求の撤回を減らし、システム全体としてのレスポンスを向上させるためのものであって、次に示すような構成例を含むものである。

【0035】（1）記憶制御装置内に設けたプロセッサ間共有メモリにおいて、記憶デバイス単位に再接続要求管理情報を持ち、該再接続要求管理情報を元にプロセッサ間でチャンネル再接続要求の優先権を決定し、決められた数のプロセッサのみが優先的にチャンネル再接続要求を行なうようにするもの。

【0036】（2）前記（1）において、記憶制御装置内部で定めた一定時間が経過しても、チャンネルから再接続されない場合、最初のプロセッサは優先権を解放しチャンネル再接続要求を取りやめ、別の一つまたは複数のプロセッサが新たに優先権を取得し、該プロセッサのみがチャンネル再接続要求を行なうようにするもの。

【0037】（3）前記（2）において、一定時間が経過した後も、初回のチャンネル再接続要求はそのまま行い続け、新たに優先権を得たプロセッサが、更にチャンネル再接続要求を行なうようにするもの。

【0038】（4）前記（1）において記憶制御装置内部で定めた第二の一定時間が経過しても、チャンネルから再接続されない場合、残りの全プロセッサからチャンネル再接続要求を行なうようにするもの。

【0039】

【発明の効果】本発明によれば、記憶制御装置からチャンネルへの再接続要求を行なうバスに対応するプロセッサを絞ることで、チャンネルからの再起動の撤回を抑えることができ、次に示すような効果が期待できる。

【0040】記憶デバイスの多重処理を行なっている場合に、記憶制御装置からの無駄な再接続要求が抑えられ、チャンネル再接続撤回の処理が抑えられる分、チャンネル、記憶サブシステム共に、I/O処理の負荷が軽減され、記憶サブシステム全体としてのI/O処理のレスポンスが向上する。

【0041】記憶制御装置からチャンネルへの無駄な再接続要求と、チャンネルからの別の記憶デバイスに対する初期起動が競合することによる、チャンネルからの初期起動の遅れを無くし、記憶サブシステム全体としてのレスポンスが低下することを防ぐ。

【0042】無駄な再接続要求によって、逆に記憶制御装置からの別の記憶デバイスの再接続要求の検出が不当に遅れることによる、記憶サブシステム全体としてのレ

スポンスが低下することを防ぐ。

【0043】記憶サブシステム内のプロセッサを他の処理（例えば、他ホストコンピュータのチャンネルからのI/O処理や、記憶制御装置内部固有の処理）に割り当てることができる。

【図面の簡単な説明】

【図1】ホストコンピュータと、ホストコンピュータに一つのバスグループとしての複数のチャンネルバスを介して接続されて複数のチャンネルポートと複数のプロセッサを持つ記憶制御装置と、記憶制御装置に接続された配下の複数の記憶デバイスと、からなるコンピュータシステムの概略を示す図である。

【図2】チャンネルへの再接続要求を行なう際に、記憶制御装置内の複数のプロセッサ間で、再接続要求を管理し、チャンネルからの再接続撤回を抑えるための、本発明の実施形態に係る再接続要求管理情報テーブルを示す図である。

【図3】記憶制御装置内の各プロセッサにあり、チャンネルへの再起動要求を行なっているバスの情報、記憶デバイスの情報、プロセッサの再接続要求の優先情報を格納している個別メモリを示す図である。

【図4】チャンネルからの初期起動時のフローを示す図である。

【図5】チャンネルに対して、再起動要求を行なう為の記憶デバイスのチェック処理において、再接続要求を行なうプロセッサに優先度を持たせることで、チャンネルに対して無駄な再接続要求を行なわないようにする為の処理フローを示す図である。

【図6】チャンネルからの再起動処理において、再接続要求のための情報を後始末する処理フローを示す図であ

る。

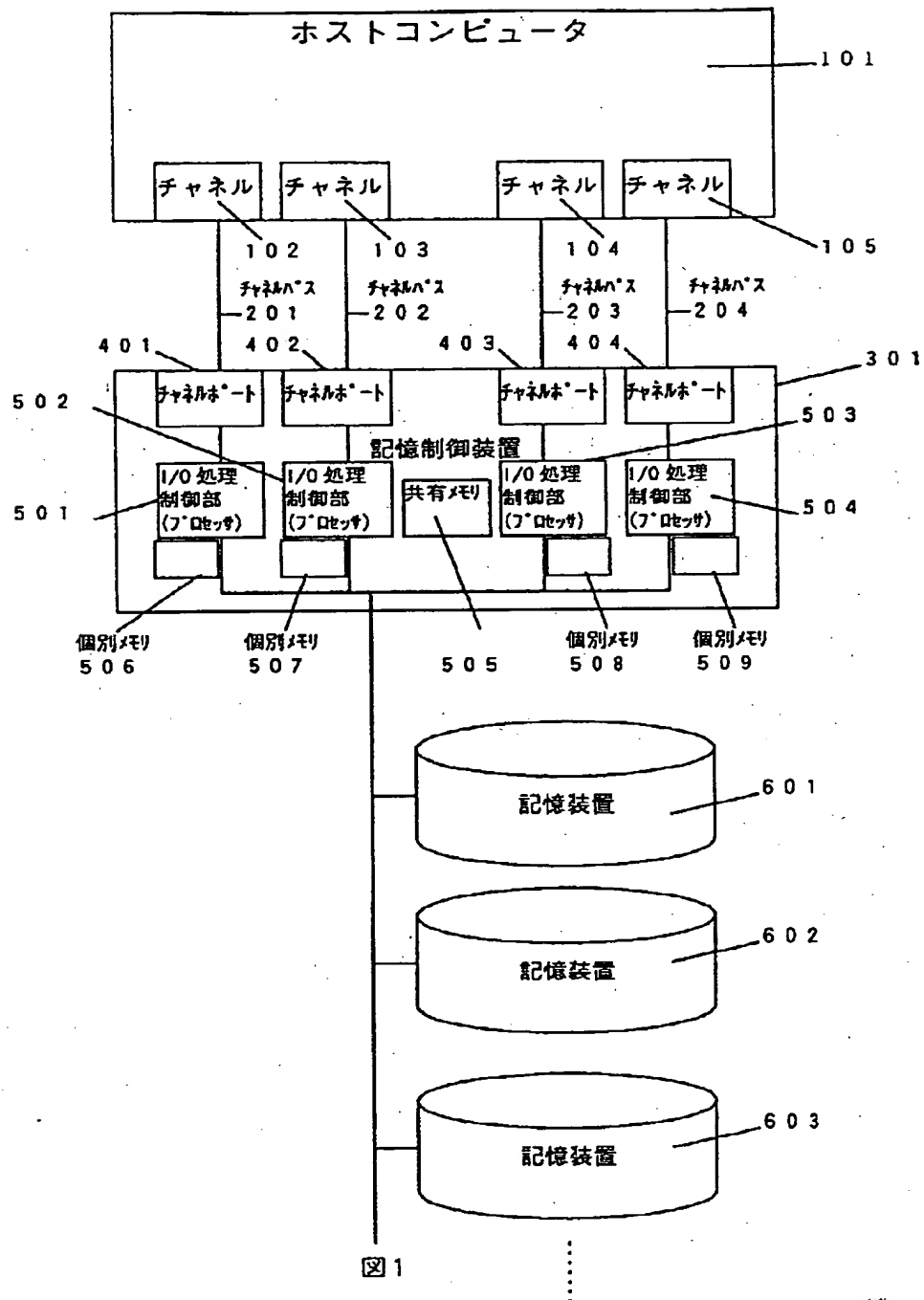
【図7】図5において、優先プロセッサでなくなった時に、チャンネル再接続要求をクリアするケースのフローを示した図である。

【図8】図5において、記憶制御装置内で定義した優先プロセッサの数だけ優先的にチャンネル再接続要求を行なう処理フローを示す図である。

【符号の説明】

- 101 ホストコンピュータ
- 102～105 ホストコンピュータ側チャンネルポート
- 201～204 チャンネルバス
- 301 記憶制御装置
- 401～404 記憶制御装置側チャンネルポート
- 501～504 I/O処理制御部（プロセッサ）
- 505 プロセッサ間共有メモリ
- 506～509 プロセッサ個別メモリ
- 601～603 記憶装置
- 510 再接続要求管理情報
- 511 ブロードキャスト（全プロセッサへの一斉通知手段）
- 512 再接続要求プロセッサ情報
- 513 再接続要求優先プロセッサ情報
- 514 優先権取得時刻
- 515 優先プロセッサ数
- 516 初期優先取得時刻
- 520 再接続要求情報
- 521 優先情報
- 522 記憶デバイス番号
- 523 チャンネルバスルート
- 701～737 処理ステップ

【図1】



【図2】

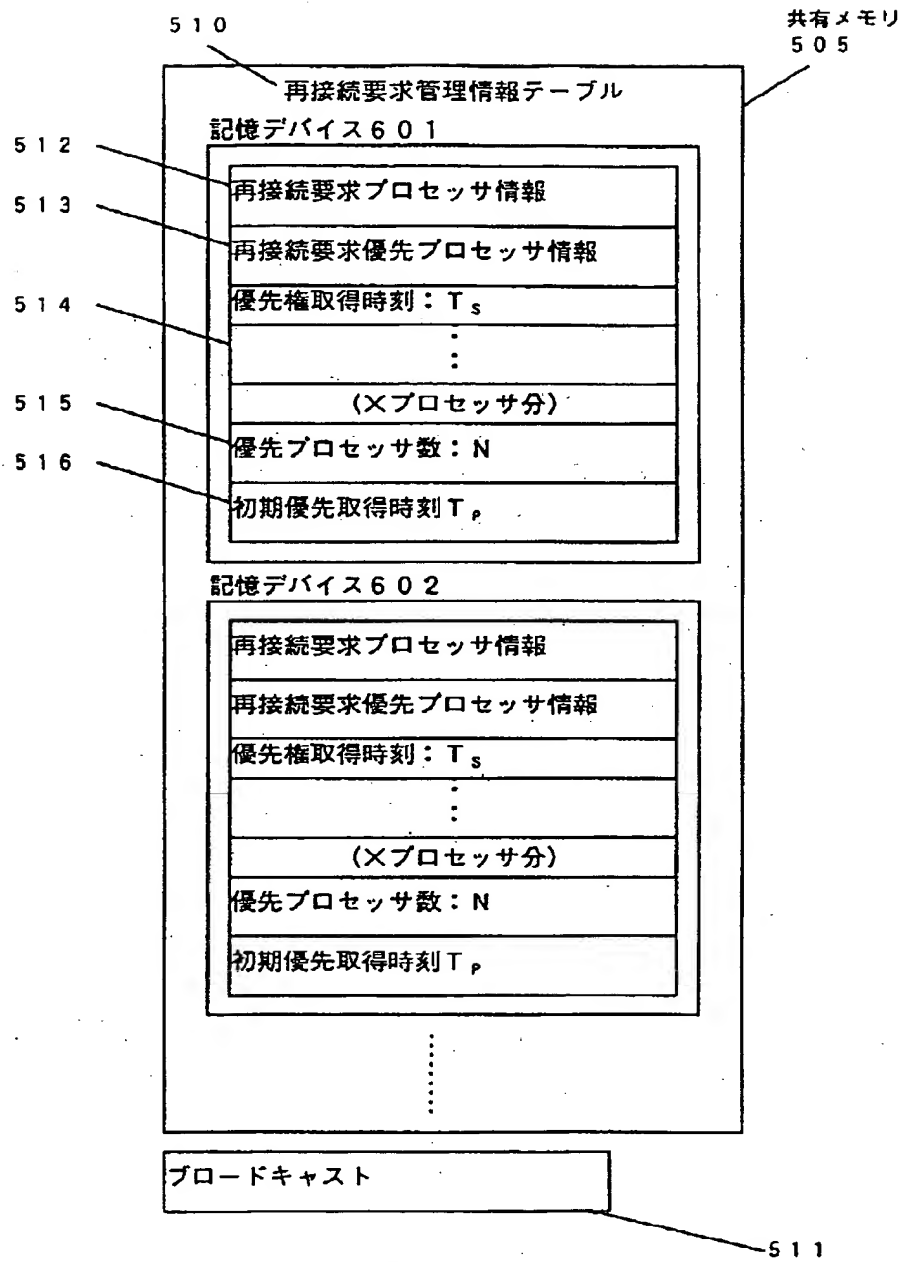


図2

【図3】

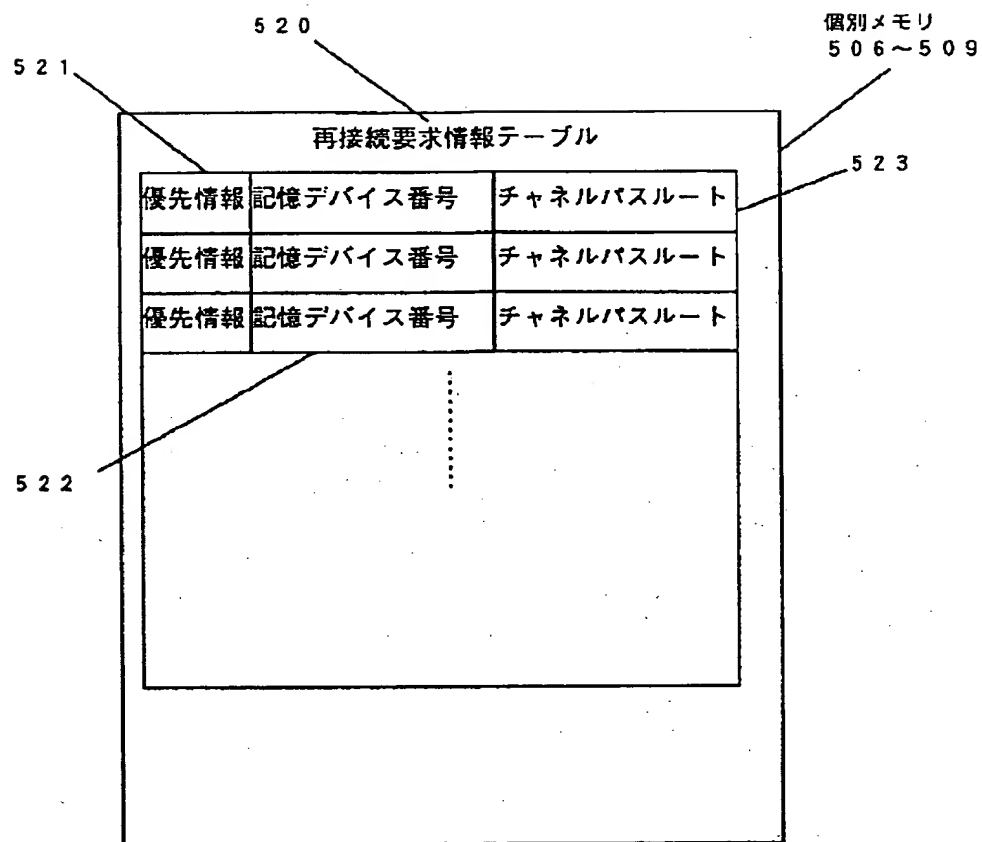


図3

【図 4】

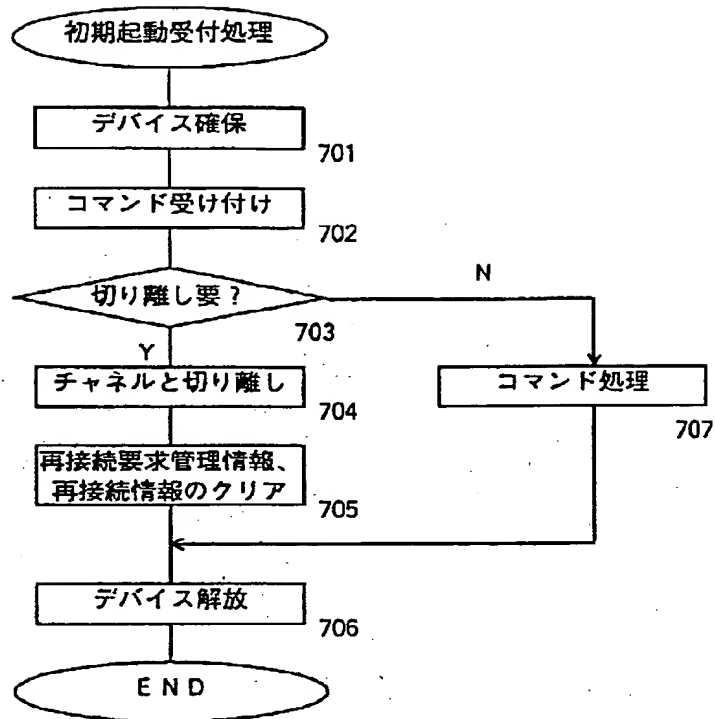


図 4

【図5】

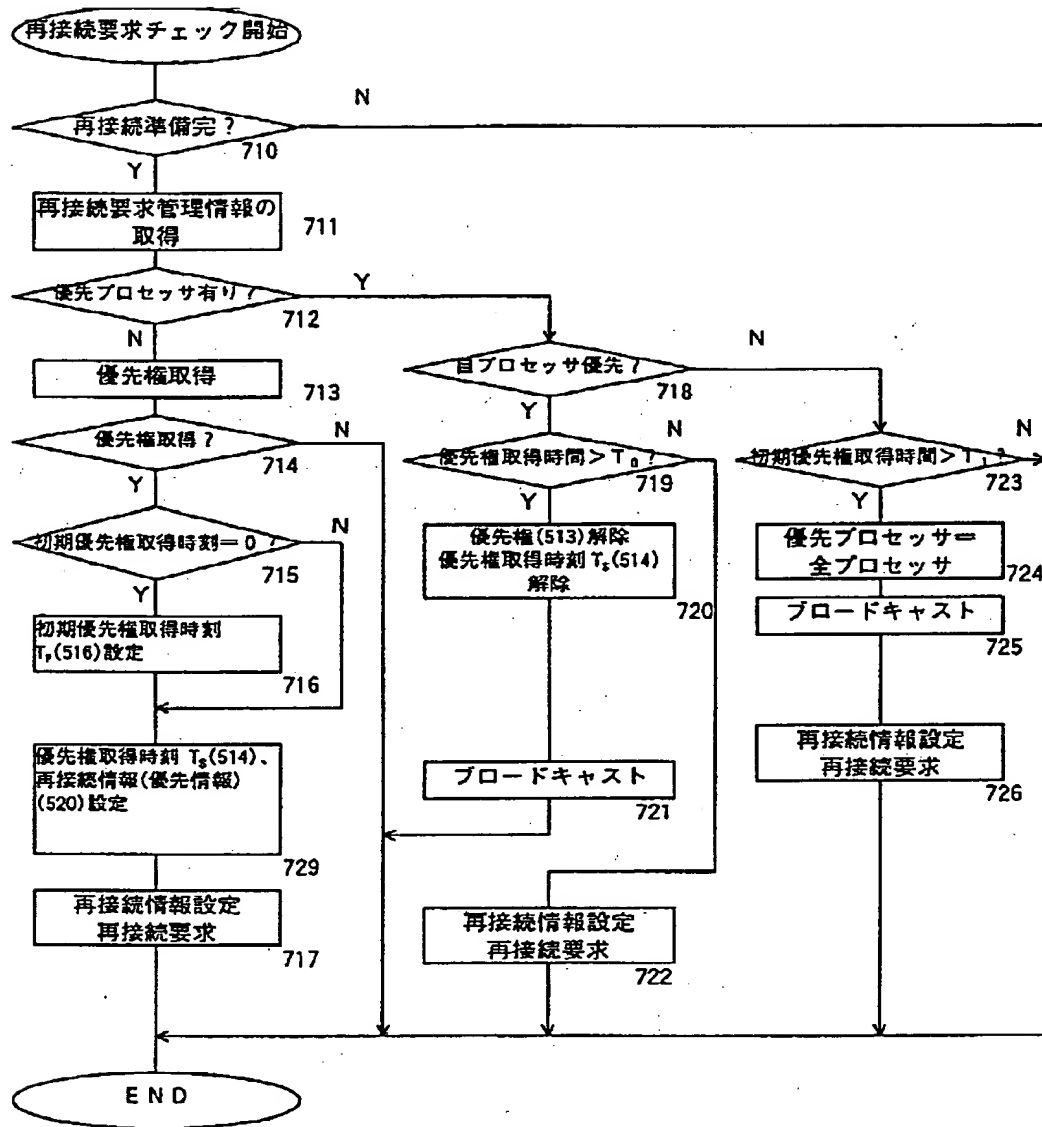


図5

【図6】

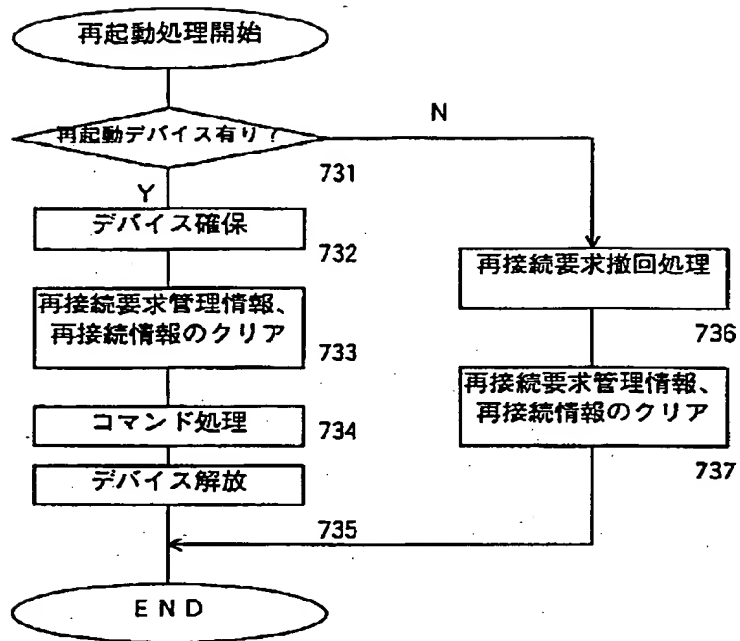


図6

【図7】

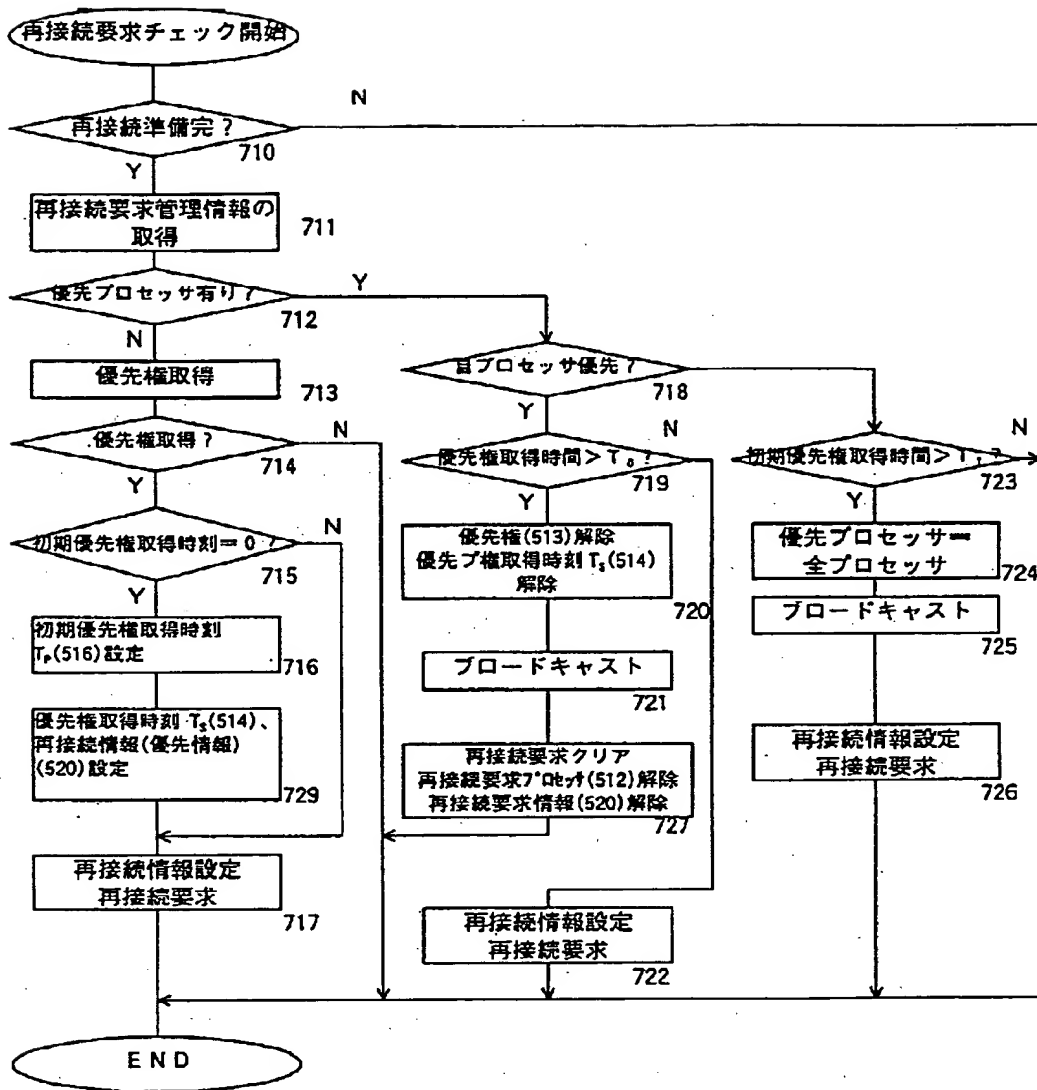


図7

【図8】

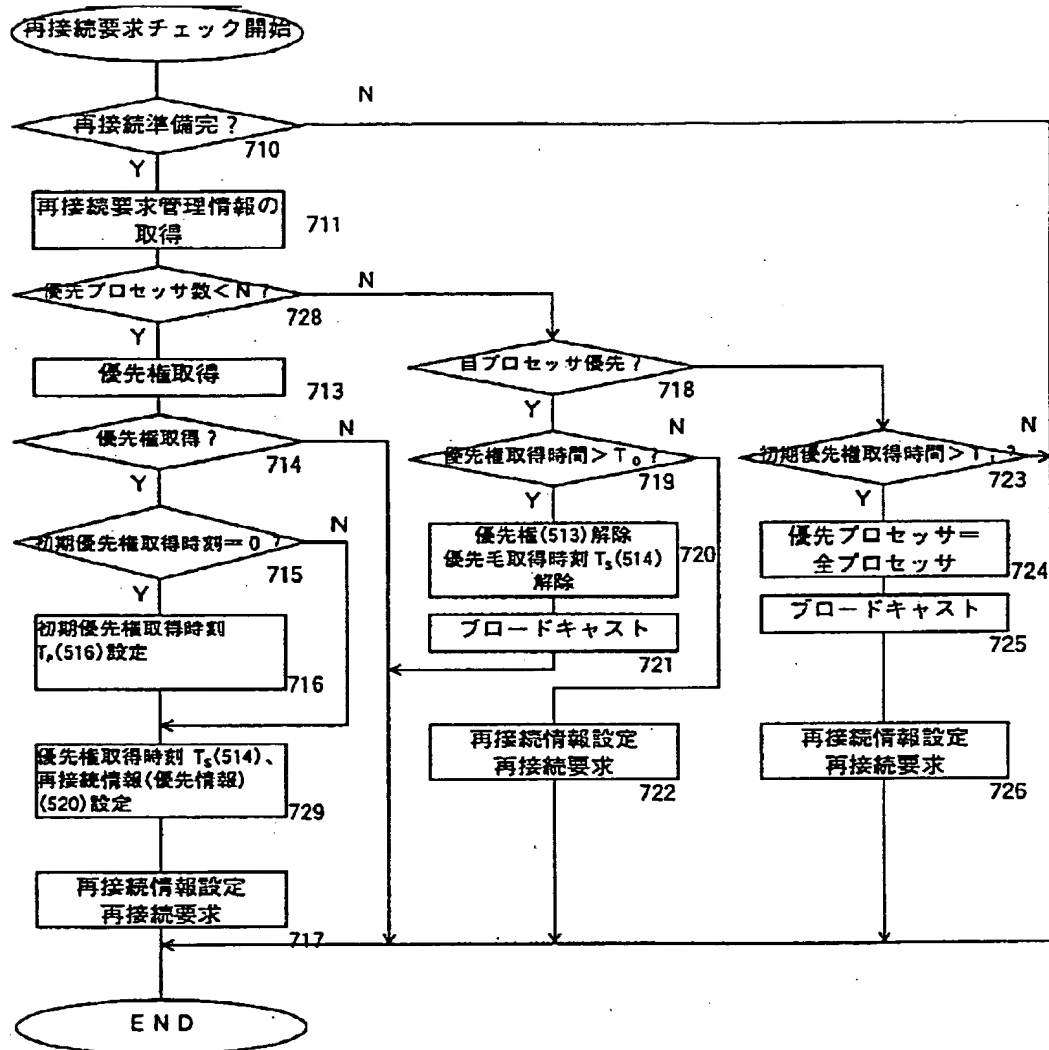


図 8

フロントページの続き

(72)発明者 横畑 静生
 神奈川県小田原市国府津2880番地 株式会
 社日立製作所ストレージシステム事業部内

Fターム(参考) 5B014 GA03 GA35 GA60 GD16